

Rec'd PCT/PTO 03 SEP 2004
PCT/JP03/02651

日 本 国 特 許 庁
JAPAN PATENT OFFICE

10/506641
10.04.03

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 3月 6日

出 願 番 号
Application Number:

特願2002-060059

[ST.10/C]:

[JP2002-060059]

出 願 人
Applicant(s):

サンケン電気株式会社

REC'D 05 MAY 2003

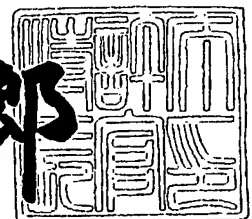
WIPO PCT

PRIORITY
DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2003年 3月18日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3018417

BEST AVAILABLE COPY

【書類名】 特許願

【整理番号】 A0164

【提出日】 平成14年 3月 6日

【あて先】 特許庁長官 殿

【国際特許分類】 H02M 1/10

【発明者】

 【住所又は居所】 埼玉県新座市北野3丁目6番3号 サンケン電気株式会社
社内

 【氏名】 嶋田 雅章

【発明者】

 【住所又は居所】 埼玉県新座市北野3丁目6番3号 サンケン電気株式会社
社内

 【氏名】 山田 智康

【発明者】

 【住所又は居所】 埼玉県新座市北野3丁目6番3号 サンケン電気株式会社
社内

 【氏名】 関口 恵一

【特許出願人】

 【識別番号】 000106276

 【氏名又は名称】 サンケン電気株式会社

【代理人】

 【識別番号】 100095407

 【弁理士】

 【氏名又は名称】 木村 満

【選任した代理人】

 【識別番号】 100109449

 【弁理士】

 【氏名又は名称】 毛受 隆典

【手数料の表示】

【予納台帳番号】 038380

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0017501

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 交流電圧検出回路

【特許請求の範囲】

【請求項1】

交流電源が発生する交流電圧を整流した整流電圧と基準電圧とを比較して該整流電圧の瞬時値が該基準電圧を越えたか否かを検出する比較検出部と、

前記比較検出部の検出結果に基づき、前記交流電源が供給する電源電圧を判別可能に示す判別信号を生成する判別信号生成部と、

を備えることを特徴とする交流電圧検出回路。

【請求項2】

前記比較検出部は、前記整流電圧と前記基準電圧とを比較して該整流電圧の瞬時値が該基準電圧を越えた期間を検出する比較器を備えることを特徴とする請求項1に記載の交流電圧検出回路。

【請求項3】

前記判別信号生成部は、

前記整流電圧の周波数に同期したパルスが発生するタイミング信号発生回路と

前記比較器の出力に対して前記パルスを用い前記整流電圧の瞬時値が前記基準電圧を越えた該整流電圧のサイクルと該基準電圧を越えないサイクルとを判定するサイクル判定回路と、

前記サイクル判定回路の判定結果に応じて前記判別信号を生成する信号生成回路と、

を備えることを特徴とする請求項2に記載の交流電圧検出回路。

【請求項4】

交流電源が発生する交流電圧を整流した整流電圧と複数の基準電圧とを比較し、該整流電圧の瞬時値が該各基準電圧を越えたか否かを検出する比較検出部と、

前記比較検出部の検出結果に基づき、前記交流電源が供給する電源電圧を判別可能に示す判別信号を生成する判別信号生成部と、

を備えることを特徴とする交流電圧検出回路。

【請求項 5】

前記比較検出部は、前記整流電圧と前記各基準電圧とを比較し、該整流電圧の瞬時値が該各基準電圧を越える期間をそれぞれ検出する複数の比較器を備えることを特徴とする請求項 4 に記載の交流電圧検出回路。

【請求項 6】

前記判別信号生成部は、
前記整流電圧の周波数に同期したパルスを発生するタイミング信号発生回路と

前記複数の比較器に対応して設けられ、該各比較器の出力に対して前記パルスを用い、前記整流電圧の瞬時値が前記各基準電圧を越えた該整流電圧のサイクルと該瞬時値が各基準電圧を越えないサイクルとをそれぞれ判定する複数のサイクル判定回路と、

前記複数のサイクル判定回路の判定結果に応じて前記判別信号を生成する信号生成回路と、

を備えることを特徴とする請求項 5 に記載の交流電圧検出回路。

【請求項 7】

前記整流電圧が上昇し、前記比較器の出力する論理レベルが変化するとき、前記基準電圧を変化させる手段、を設けたことを特徴とする請求項 2、3、5 又は 6 のいずれか 1 項に記載の交流電圧検出回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、交流電源が供給する電源電圧を検出し、電源電圧を示す判別信号を出力する交流電圧検出回路に関する。

【0002】

【従来の技術】

商用交流を入力とする電源装置は、ACアダプタ、OA機器、民生機器等の各電子機器に組込まれている。これらの電子機器は、世界各国の商用の交流電圧に対応できることが望まれている。

【0003】

電子機器を、世界各国の商用交流電圧に対応させるために、近年の電源装置には、交流電圧検出回路を備えたものがある。交流電圧検出回路は、交流電源から与えられる電源電圧を検出し、電源電圧を判別させるための判別信号を発生する。電源装置は、その判別信号に基づき制御方法や回路保護方法を切替えている。

【0004】

従来の交流電圧検出回路の一例を図7に示す。

図7は、従来の交流電圧検出回路を示す回路図である。

この交流電圧検出回路10は、交流電源1が供給する電源電圧が例えば200ボルト系か100ボルト系かを示す判別信号を発生する回路であり、交流電源1に接続された全波整流回路2の正極とグランドとの間に設けられている。

全波整流回路2は、交流電源1が発生する交流電圧を整流して整流電圧を出力する。全波整流回路2の正極にアノードが接続されたダイオード11は、順方向電圧が印加された時に、このダイオード11のカソードとグランドとの間に接続されたコンデンサ12を充電する。コンデンサ12には、全波整流回路2が発生する整流電圧のピーク値が充電される。

【0005】

コンデンサ12とダイオード11のカソードとの接続点には、抵抗13の一端が接続され、抵抗13の他端とグランドとの間には、抵抗14が接続されている。これらの抵抗13、14は、コンデンサ12の充電電圧を分圧し、抵抗13と抵抗14との間の接続点から出力する。

【0006】

その抵抗13と抵抗14との接続点には、ツェナーダイオード15のカソードが接続され、ツェナーダイオード15のアノードは、NPN型トランジスタ16のベースに接続されている。トランジスタ16のコレクタは、抵抗17を介して直流電源18の正極に接続され、トランジスタ16のエミッタがグランドに接続されている。なお、直流電源18の正極には、抵抗19を介してNPN型トランジスタ20のコレクタが接続されている。トランジスタ16のコレクタが、トラ

ンジスタ20のベースに接続され、トランジスタ20のエミッタが、グランドに接続されている。

【0007】

コンデンサ12の充電電圧が上昇して抵抗13と抵抗14との接続点の電圧が上昇すると、ツェナーダイオード15が降伏してトランジスタ16にベース電流を流す。これにより、トランジスタ16がオンし、トランジスタ16のコレクタ電圧を下げる。トランジスタ16のコレクタ電圧が降下すると、トランジスタ20がオフする。トランジスタ20がオフすることにより、トランジスタ20のコレクタに接続された出力端子の電圧が上昇する。これにより、交流電源1が200ボルト系の電源電圧を供給していることが、電源装置等に表示される。

【0008】

【発明が解決しようとする課題】

従来の交流電圧検出回路には、次のような課題があった。
半導体基板上でコンデンサを形成するときには、トランジスタ素子やMOSFETを形成する場合よりも、遙かに大きな面積が必要になる。IC（集積回路）に、現実的、実用的に形成できる1つのコンデンサは、10[pF]程度である。

【0009】

ところが、図7のコンデンサ12は、商用の交流電圧のピーク値を充電する。交流電圧を整流した整流電圧の周期は、10[msec]程度と長いため、コンデンサ12には、100[nF]程度以上の容量が必要になる。そのため、交流電圧検出回路をIC化して電源装置の全体の小型化や外付け部品数を削減してよいとしても、IC上で100[nF]以上の容量を得る面積を確保することが困難である。その上、コスト面でも非現実的になる。さらに、ICチップ上のコンデンサでは、商用周波数のような数十[msec]の長い周期にわたって、電荷を保持することが困難であり、ピーク電圧を検出することが困難になっていた。即ち、IC化による電源装置の小型化と低コストとが困難になるとともに、外付け部品数の増加により、信頼性を損なうことがあった。

【0010】

本発明は、このような現状を鑑みてなされた発明であり、小型化と低コスト化が可能であるとともに、信頼性を向上させた交流電圧検出回路を提供することを目的とする。

【0011】

【課題を解決するための手段】

上記目的を達成するために、本発明の第1の観点に係る交流電圧検出回路は、交流電源が発生する交流電圧を整流した整流電圧と基準電圧とを比較して該整流電圧の瞬時値が該基準電圧を越えたか否かを検出する比較検出部と、前記比較検出部の検出結果に基づき、前記交流電源が供給する電源電圧を判別可能に示す判別信号を生成する判別信号生成部と、を備えることを特徴とする。

【0012】

このような構成を採用したことにより、交流電源が発生する交流電圧を整流した整流電圧と基準電圧とが比較され、整流電圧の瞬時値が基準電圧を越えたか否かが検出される。その検出結果に基づき、判別信号が生成される。即ち、整流電圧のピーク値を求める必要がないので、大きな容量のコンデンサが不要になる。

なお、前記比較検出部は、前記整流電圧と前記基準電圧とを比較して該整流電圧の瞬時値が該基準電圧を越えた期間を検出する比較器を備えてもよい。

【0013】

この場合、前記判別信号生成部は、前記整流電圧の周波数に同期したパルスが発生するタイミング信号発生回路と、前記比較器の出力に対して前記パルスを用い前記整流電圧の瞬時値が前記基準電圧を越えた該整流電圧のサイクルと該基準電圧を越えないサイクルとを判定するサイクル判定回路と、前記サイクル判定回路の判定結果に応じて前記判別信号を生成する信号生成回路と、を備えてもよい。

【0014】

上記目的を達成するために、本発明の第2の観点に係る交流電圧検出回路は、交流電源が発生する交流電圧を整流した整流電圧と複数の基準電圧とを比較し、該整流電圧の瞬時値が該各基準電圧を越えたか否かを検出する比較検出部と、前記比較検出部の検出結果に基づき、前記交流電源が供給する電源電圧を判別可能

に示す判別信号を生成する判別信号生成部と、を備えることを特徴とする。

【0015】

このような構成を採用したことにより、本発明の第1の観点に係る交流電圧検出回路と同様に、整流電圧のピーク検出する必要がなくなり、そのピークを検出するためのコンデンサが不要になる。

【0016】

なお、前記比較検出部は、前記整流電圧と前記各基準電圧とを比較し、該整流電圧の瞬時値が該各基準電圧を越える期間をそれぞれ検出する複数の比較器を備えてもよい。

この場合には、前記判別信号生成部は、前記整流電圧の周波数に同期したパルスが発生するタイミング信号発生回路と、前記複数の比較器に対応して設けられ、該各比較器の出力に対して前記パルスを用い、前記整流電圧の瞬時値が前記各基準電圧を越えた該整流電圧のサイクルと該瞬時値が各基準電圧を越えないサイクルとをそれぞれ判定する複数のサイクル判定回路と、前記複数のサイクル判定回路の判定結果に応じて前記判別信号を生成する信号生成回路と、を備えてもよい。

【0017】

上記目的を達成するために、本発明の第3の観点に係る交流電圧検出回路は、前記整流電圧が上昇し、前記比較器の出力する論理レベルが変化したとき、前記基準電圧を変化させる手段、を設けたことを特徴とする。

【0018】

このような構成を採用したことにより、整流電圧が上昇し、前記比較器の出力する論理レベルが変化したとき、基準電圧を変化させることにより、整流電圧が基準電圧を越えたか否かを判定する際にヒステリシスを持つことになり、ノイズによって判定を誤ることが防止できる。

【0019】

【発明の実施の形態】

〔第1の実施形態〕

図1は、本発明の第1の実施形態に係る交流電圧検出回路を示す構成図である

この交流電圧検出回路 3 0 は、交流電源 1 が図示しない電源装置に供給している電源電圧を検出し、その電源電圧が 1 0 0 ボルト系か 2 0 0 ボルト系かを判別可能に示す判別信号を発生する回路である。

交流電圧検出回路 3 0 は、全波整流回路 2 に接続された分圧抵抗 3 1、3 2 と、内部レギュレータ 3 3 と、比較検出部 4 0 と、判別信号生成部 5 0 とを備えている。

【 0 0 2 0 】

全波整流回路 2 は、交流電源 1 に接続され、電源装置に整流電圧を与える。抵抗 3 1 及び抵抗 3 2 は、全波整流回路 2 の正極とグランドとの間に直列に接続されている。抵抗 3 1 と抵抗 3 2 との接続点が、内部レギュレータ 3 3 中の P N P 型トランジスタ 3 3 a のベースに接続されている。

【 0 0 2 1 】

トランジスタ 3 3 a のコレクタは、グランドに接続され、トランジスタ 3 3 a のエミッタは、定電流源 3 3 b を介して電源配線に接続されている。トランジスタ 3 3 a のエミッタは、さらに、N P N 型トランジスタ 3 3 c のベースに接続されている。トランジスタ 3 3 c のコレクタが、電源配線に接続され、トランジスタ 3 3 c のエミッタが、定電流源 3 3 d を介してグランドに接続されている。トランジスタ 3 3 c のエミッタは、内部レギュレータ 3 3 の出力端子である。このトランジスタ 3 3 c のエミッタに、比較検出部 4 0 と判別信号生成部 5 0 とが接続されている。

【 0 0 2 2 】

比較検出部 4 0 は、基準電圧 V 1 を発生する電源 4 1 と、比較器 4 2 とを備えている。電源 4 1 は比較器 4 2 の一方の入力端子（－）と接続されている。基準電圧 V 1 は、交流電源 1 が供給する電源電圧が 1 0 0 ボルト系か 2 0 0 ボルト系かを検出するための電圧であり、例えば検出点を A C 1 6 0 [V] 程度となるように設定してもよい。トランジスタ 3 3 c のエミッタが、比較器 4 2 の他方の入力端子（＋）に接続されている。

【 0 0 2 3 】

判別信号生成部 50 は、基準電圧を発生する電源 51 と、比較器 52 と、タイミング信号発生回路 53 と、サイクル判定回路としてのリセットセットフリップフロップ（以下、RS-FF という）54 と、信号生成回路としての遅延型フリップフロップ（以下、D-FF という）55 とを、備えている。

【0024】

比較器 52 の一方の入力端子（+）は、トランジスタ 33c のエミッタと接続され、比較器 52 の他方の入力端子（-）は、電源 51 と接続されている。比較器 52 の出力端子が、タイミング信号発生回路 53 に接続されている。

【0025】

タイミング信号発生回路 53 は、例えば図 2 のように構成される。

図 2 は、タイミング信号発生回路 53 の構成例を示す図である。

タイミング信号発生回路 53 は、比較器 52 の出力信号の立ち上がりを検出してワンショットのパルスが発生するワンショットパルス発生回路 53a と、比較器 52 の出力信号の立ち下がりを検出してワンショットのパルスが発生するワンショットパルス発生回路 53b とで構成されている。

【0026】

ワンショットパルス発生回路 53a は、比較器 52 の出力端子が一方の入力端子に接続された AND 回路 53c と、AND 回路 53c の他方の入力端子と比較器 52 の出力端子との間に直列に接続された奇数個のインバータ 53d とで構成されている。

【0027】

ワンショットパルス発生回路 53b は、比較器 52 の出力端子がインバータ 53e を介して一方の入力端子に接続された AND 回路 53f と、インバータ 53e の出力端子と AND 回路 53f の他方の入力端子との間に直列に接続された奇数個のインバータ 53g とで構成されている。

【0028】

ワンショットパルス発生回路 53a の AND 回路 53c の出力端子が、サイクル判定回路である RS-FF 54 のリセット端子（R）に接続されている。

RS-FF 54 のセット端子（S）には、比較器 42 の出力端子が接続されて

いる。RS-FF54の出力端子(Q)は、信号生成回路であるD-FF55のデータ入力端子(D)に接続されている。

【0029】

ワンショットパルス発生回路53bのAND回路53fの出力端子が、D-FF55のクロック端子(C)に接続されている。D-FF55の出力端子(Q)が交流電圧検出回路30の出力端子になっている。

【0030】

次に、交流電圧検出回路30の動作を、図3(a)～(g)を参照して説明する。

図3(a)～(g)は、交流電圧検出回路30の動作を説明するためのタイムチャートである。

全波整流回路2は、交流電源1が発生する交流電圧を全波整流して整流電圧を発生する。この整流電圧が図示しない電源装置等へ供給される。抵抗31、32は、整流電圧を分圧し、内部レギュレータ33は、図3(a)のように、抵抗31、32によって分圧された整流電圧の波形整形を行う。

【0031】

比較検出部40中の比較器42は、電源41が発生する基準電圧V1と内部レギュレータ33が出力する整流電圧とを比較し、その整流電圧の瞬時値が基準電圧V1を越えたときに高レベル(以下、“H”という)を出力する。これにより、図3(b)のように、全波整流回路2が発生する整流電圧の瞬時値が基準電圧V1に相当する電圧を超えた期間が検出される。交流電源1が200ボルト系の電源電圧を電源装置に供給しているときには、比較器42の出力信号が“H”になる。交流電源1が100ボルト系の電源電圧を電源装置に供給しているときには、比較器42の出力信号が“L”のままである。比較器42の出力信号が“H”になると、RS-FF54がセットされ、図3(f)のように、RS-FF54が“H”を出力する。

【0032】

一方、比較器52は、内部レギュレータ33の出力する整流電圧と電源51が発生する基準電圧V2とを比較し、内部レギュレータ33の出力電圧が基準電圧

V2を越えたときに“H”を出力する。これにより、図3(c)のように、全波整流回路2の出力する整流電圧が基準電圧V2に相当する電圧を越えた期間が、検出される。

【0033】

タイミング信号発生回路53中のワンショットパルス発生回路53aは、図3(d)のように、比較器52の出力信号が“H”に立ち上がるタイミングにワンショットのパルスP1を発生する。また、ワンショットパルス発生回路53bは、図3(e)のように、比較器52の出力信号が“L”に立ち下がるタイミングでワンショットのパルスP2を発生する。

【0034】

ワンショットパルス発生回路53aがパルスP1を発生すると、RS-FF54がリセットされ、RS-FF54が“L”を出力する。従って、全波整流回路2が出力する整流電圧のサイクルのうちで、整流電圧の瞬時値が基準電圧V1を越えたサイクルが検出され、そのサイクルが検出されたときにRS-FF54の出力信号が“H”になる。

【0035】

ワンショットパルス発生回路53bの出力するパルスP2は、D-FF55のクロック端子(C)に与えられる。D-FF55は、ワンショットパルス発生回路53bの出力するパルスP2の立ち下がりに同期して、RS-FF54の出力信号をラッチし、出力端子(Q)から出力する。このように、ワンショットパルス発生回路53bが発生するパルスに同期して、D-FF55がRS-FF54の出力信号をラッチすることにより、整流電圧の瞬時値が基準電圧V1を越えた整流電圧のサイクルが連続すれば、その間は、図3(g)のように、D-FF55が“H”を連続して出力する。つまり、D-FF55の出力信号は、交流電源1が200ボルト系の電源電圧を供給していることを示す判別信号になり、図示しない電源装置に与えられる。電源装置は、D-FF55から与えられた判別信号に基づいた制御を行う。

【0036】

以上のように、本実施形態の電圧検出回路30では、次のような利点を有する

(1) 交流電圧を整流した整流電圧と基準電圧V1とを比較器42で比較し、整流電圧の瞬時値が基準電圧V1を越えた期間を検出し、その検出結果に基づき交流電源1が供給する電源電圧を判別するので、従来のように、交流電圧が整流電圧のピーク値を検出するためのコンデンサが不要になる。そのため、交流電圧検出回路の小型化と低コスト化が実現できる。従って、交流電圧検出回路を組み込んだ各種電子回路の低コスト化と小型化とが可能になる。特に、集積回路化が可能になる利点がある。

【0037】

(2) タイミング信号発生回路53で整流電圧の周波数に同期したパルスP1、P2を発生させ、これらのパルスP1、P2を用いて、RS-FF54に整流電圧の瞬時値が基準電圧V1を越えたサイクルを検出させ、D-FF55に判別信号を発生させる。そのため、整流電圧のように脈動する電圧からでも、200ボルト系の電源電圧が与えられていることを安定して示す判別信号を生成できる。さらに、交流電圧1の周波数が変化しても、電源電圧を検出することができる。

【0038】

【第2の実施形態】

図4は、本発明の第2の実施形態に係る交流電圧検出回路の構成例を示す図である。

この交流電圧検出回路30Aは、全波整流回路2に接続された分圧抵抗61、62と、内部レギュレータ63と、比較検出部70と、判別信号生成部80とを備えている。

【0039】

抵抗61及び抵抗62は、第1の実施形態の抵抗31、32に相当するものであり、全波整流回路2の正極とグランドとの間に直列に接続されている。内部レギュレータ63は、第1の実施形態の内部レギュレータ33に相当し、抵抗61と抵抗62との接続点が、内部レギュレータ63中のPNP型トランジスタ63aのベースに接続されている。

【0040】

トランジスタ63aのコレクタは、グランドに接続され、トランジスタ63aのエミッタは、定電流源63bを介して電源配線に接続されている。トランジスタ63aのエミッタは、さらに、NPN型トランジスタ63cのベースと接続されている。トランジスタ63cのコレクタが電源配線に接続され、トランジスタ63cのエミッタが、定電流源63dを介してグランドに接続されている。トランジスタ63cのエミッタが、内部レギュレータ63の出力端子である。このトランジスタ63cのエミッタに、比較検出部70及び判別信号生成部80が接続されている。

【0041】

比較検出部70は、第1の実施形態の比較検出部40と同様であり、基準電圧V1を発生する電源71と、比較器72とを備えている。電源71は、比較器72の一方の入力端子(−)と接続されている。トランジスタ63cのエミッタが、比較器72の他方の入力端子(+)に接続されている。

【0042】

判別信号生成部80は、基準電圧V2を発生する電源81と、比較器82と、タイミング信号発生部83と、RS-FF84と、D-FF85とを備えるとともに、2入力OR回路86をさらに備えている。

【0043】

電源81、比較器82、タイミング信号発生部83、RS-FF84及びD-FF85とは、第1の実施形態の電源51、比較器52、タイミング信号発生回路53、RS-FF54及びD-FF55と同様のもので、同様に接続されている。

【0044】

OR回路86の一方の入力端子は、RS-FF84の出力端子(Q)に接続されている。OR回路86の他方の入力端子は、D-FF85の出力端子(Q)に接続され、OR回路86の出力端子が、判別信号生成部80の出力端子になっている。

【0045】

次に、交流電圧検出回路 30A の動作を、図 5 (a) ~ (h) を参照しつつ、説明する。

図 5 (a) ~ (h) は、交流電圧検出回路 30A の動作を説明するためのタイムチャートである。

全波整流回路 2 は、交流電源 1 が発生する交流電圧を全波整流して整流電圧を発生する。抵抗 61, 62 は、整流電圧を分圧する。内部レギュレータ 63 は、図 5 (a) のように、抵抗 61, 62 によって分圧された整流電圧の波形整形を行う。

【0046】

比較検出部 70 中の比較器 72 は、電源 71 が発生する基準電圧 V_1 と内部レギュレータ 63 が出力する整流電圧とを比較し、その整流電圧の瞬時値が基準電圧 V_1 を越えたときに“H”を出力する。これにより、図 5 (b) のように、全波整流回路 2 が発生する整流電圧の瞬時値が基準電圧 V_1 に相当する電圧を超えた期間が検出される。交流電源 1 が 200 ボルト系の電源電圧を電源装置に供給しているときには、比較器 72 の出力信号が“H”になる。交流電源 1 が 100 ボルト系の電源電圧を電源装置に供給しているときには、比較器 72 の出力信号が“L”のままである。比較器 72 の出力信号が“H”になると、RS-FF 84 がセットされ、図 5 (f) のように、RS-FF 84 が“H”を出力する。

【0047】

一方、比較器 82 は、内部レギュレータ 63 の出力する整流電圧と電源 81 が発生する基準電圧 V_2 とを比較し、内部レギュレータ 63 の出力電圧が基準電圧 V_2 を越えているときに、図 5 (c) のように、“H”を出力する。

タイミング信号発生回路 83 は、図 5 (d) のように、比較器 82 の出力信号が“H”に立ち上がるタイミングにワンショットのパルス P_1 を発生するとともに、図 5 (e) のように、比較器 82 の出力信号が“L”に立ち下がるタイミングでワンショットのパルス P_2 を発生する。

【0048】

ここで、ノイズ除去用コンデンサを全波整流回路 2 の正極とグランド間に入れることにより、交流電源 1 の供給する電源電圧が 200 ボルト系のときに、内部

レギュレータ 6 3 が出力する整流電圧が、図 5 (a) のように基準電圧 V 2 よりも低くならない場合が考えられる。このようなときには、比較器 8 2 の出力信号が “ H ” に固定されるので、パルス P 2 が発生されず、 R S - F F 8 4 の出力信号が “ H ” に固定される。 R S - F F 8 4 の出力信号が “ H ” に固定されている期間には、 O R 回路 8 6 の出力信号は、 “ H ” になり、交流電源 1 の供給する電源電圧が 2 0 0 ボルト系であることを示す。

【 0 0 4 9 】

交流電源 1 の供給する電源電圧が 1 0 0 ボルト系に変化し、整流電圧の瞬時値が基準電圧 V 2 に対応する電圧よりも低くなると、比較器 8 2 の出力信号が “ L ” に遷移する。タイミング信号発生回路 8 3 は、図 5 (e) のように、比較器 8 2 の出力信号が “ L ” に遷移するごとに、パルス P 2 を発生する。一方、電源電圧が 1 0 0 ボルト系になると、比較器 7 2 の出力信号は “ L ” に固定される。よって、 R S - F F 8 4 がセットされず、 R S - F F 8 4 の出力信号が “ L ” になる。パルス P 2 が立ち下がるタイミングで R S - F F 8 4 の出力信号の “ L ” をラッチする D - F F 8 5 の出力信号が “ L ” になる。このとき O R 回路 8 6 の出力信号が “ L ” に遷移する。即ち、交流電源 1 が供給する電源電圧が、 2 0 0 ボルト系から 1 0 0 ボルト系に変化したことが示される。

【 0 0 5 0 】

以上のように、本実施形態の交流電圧検出回路 3 0 A では、第 1 の実施形態と同様に、整流電圧のピーク値を検出するためのコンデンサが不要で、交流電圧検出回路 3 0 A の小型化と低コスト化が実現できるばかりでなく、 O R 回路 8 6 を設けたので、交流電源 1 の供給する電源電圧が 2 0 0 ボルト系で、整流電圧が基準電圧 V 2 に対応する電圧よりも低くならない場合にも、 2 0 0 ボルト系の電源電圧が供給されていることを判別信号で示すことができる。

【 0 0 5 1 】

〔第 3 の実施形態〕

図 6 は、本発明の第 3 の実施形態に係る交流電圧検出回路の構成例を示す図であり、第 2 の実施形態の図 4 中の要素と共通する要素には、共通の符号が付されている。

【0052】

この交流電圧検出回路30Bは、第2の実施形態の交流電圧検出回路の比較検出部70及び判別信号生成部80を、図6の比較検出部90及び判別信号生成部100に置換したものである。他の構成は、第2の実施形態と同様である。

【0053】

比較検出部90は、電源91と、比較器72とを備えている。電源91は、内部レギュレータ63が発生する整流電圧が上昇し、比較器72の出力が“L”から“H”に変化したとき、基準電圧V1より低い基準電圧を発生する。また、電源91は、内部レギュレータ63が発生する整流電圧が下降し、比較器72の出力が“H”から“L”に変化したとき、電圧V1より低かつた基準電圧を元の基準電圧V1に変化させる。この電源91が発生する基準電圧は、200ボルト系の電源電圧が与えられていることを検出するための電圧として用いられる。比較器72は、第2の実施形態の比較検出部70中の比較器72と同じものであり、比較器72の一方の入力端子(+)は、内部レギュレータ63の出力端子に接続されている。比較器72の他方の入力端子(-)と電源91とが接続されている。

【0054】

判別信号生成部100は、第2の実施形態の判別信号生成部80中の電源81を電源101に変更したものであり、他の構成は、判別信号生成部80と同様である。電源101は、内部レギュレータ63が発生する整流電圧が上昇し、比較器82の出力が“L”から“H”に変化したとき、基準電圧V2より低い基準電圧を発生する。また、電源101は、内部レギュレータ63が発生する整流電圧が下降し、比較器82の出力が“H”から“L”に変化したとき、電圧V2より低かつた基準電圧を元の基準電圧V2に変化させる。電源101が、比較器82の入力端子(-)に接続されている。

【0055】

この交流電圧検出回路では、電源91及び電源101が、整流電圧の上昇するときと下降するときとで異なる基準電圧を発生し、比較器72及び比較器82が、その基準電圧と整流電圧とを比較する。よって、比較器72、82の出力信号

が“L”から“H”に遷移する際の基準電圧と、“H”から“L”に遷移する基準電圧との間にヒステリシスが持たされることになる。そのため、内部レギュレータ63が発生する整流電圧がノイズによって変動したときにでも、一度“H”に遷移した比較器72, 82の出力信号が再び“L”になることが防止され、電源電圧の検出精度が向上する。

【0056】

他の動作は、第2の実施形態と同様であり、200ボルト系の電源電圧が交流電源1から供給されているときには、“H”の判別信号を電源装置に与え、100ボルト系の電源電圧が供給されているときには、“L”の判別信号を電源装置に与える。

【0057】

以上のような本実施形態の交流電圧検出回路30Bでは、電源91, 101を設け、比較器72, 82に与える基準電圧を、内部レギュレータ63で発生する整流電圧が上昇するときと下降するときに変化させている。そのため、ノイズに強い交流電圧検出回路を構成することができる。

【0058】

なお、本発明は、上記実施形態に限定されず、種々の変形が可能である。その変形例としては、次のようなものがある。

(1) 第1～3の実施形態では、内部レギュレータ33, 63を備えているが、内部レギュレータ33, 63は、省略可能であり、全波整流回路2で発生する整流電圧を分圧抵抗31, 32, 61, 62を介して、比較器42, 52, 72, 82に入力してもよい。

【0059】

(2) 第1～3の実施形態では、100ボルト系の電源電圧と200ボルト系の2系統の電源電圧を判別する構成例を示したが、比較検出部40, 70, 90中の比較器42, 72を増し、1つの基準電圧V1ばかりでなく、複数の基準電圧と整流電圧とを比較させ、その結果から判別信号を生成する構成にすれば、3系統以上の電源電圧を判別できる。この場合、例えば、増加させた比較器42, 72に対応させてRS-FF54, 84を設け、これらRS-FF54, 84

の出力信号から判別信号を生成してもよい。

(3) 第3の実施形態では、比較器72, 82に与える基準電圧を整流電圧の上昇するときと下降するときとで異ならせることにより、ヒステリシスを持たせているが、基準電圧を固定化しておき、整流電圧が基準電圧を横切ったときに、比較器72, 82に入力される整流電圧を変化させてもよい。このようにしても、第3の実施形態と同様にヒステリシスを持たせることができる。

【0060】

【発明の効果】

以上詳細に説明したように、本発明によれば、交流電源が発生する交流電圧を整流した整流電圧と基準電圧との比較結果に基づき、電源電圧を判別するので、交流電圧或いは整流電圧のピークを検出するためのコンデンサが不要になる。これにより、交流電圧検出回路及び交流電圧検出回路を組み込んだ電子機器の小型化と低コスト化が可能になる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態に係る交流電圧検出回路の構成例を示す図である。

【図2】

図1中のタイミング信号発生回路53の構成例を示す図である。

【図3】

図1の交流電圧検出回路の動作を示すタイムチャートである。

【図4】

本発明の第2の実施形態に係る交流電圧検出回路の構成例を示す図である。

【図5】

図4の交流電圧検出回路の動作を示すタイムチャートである。

【図6】

本発明の第3の実施形態に係る交流電圧検出回路の構成例を示す図である。

【図7】

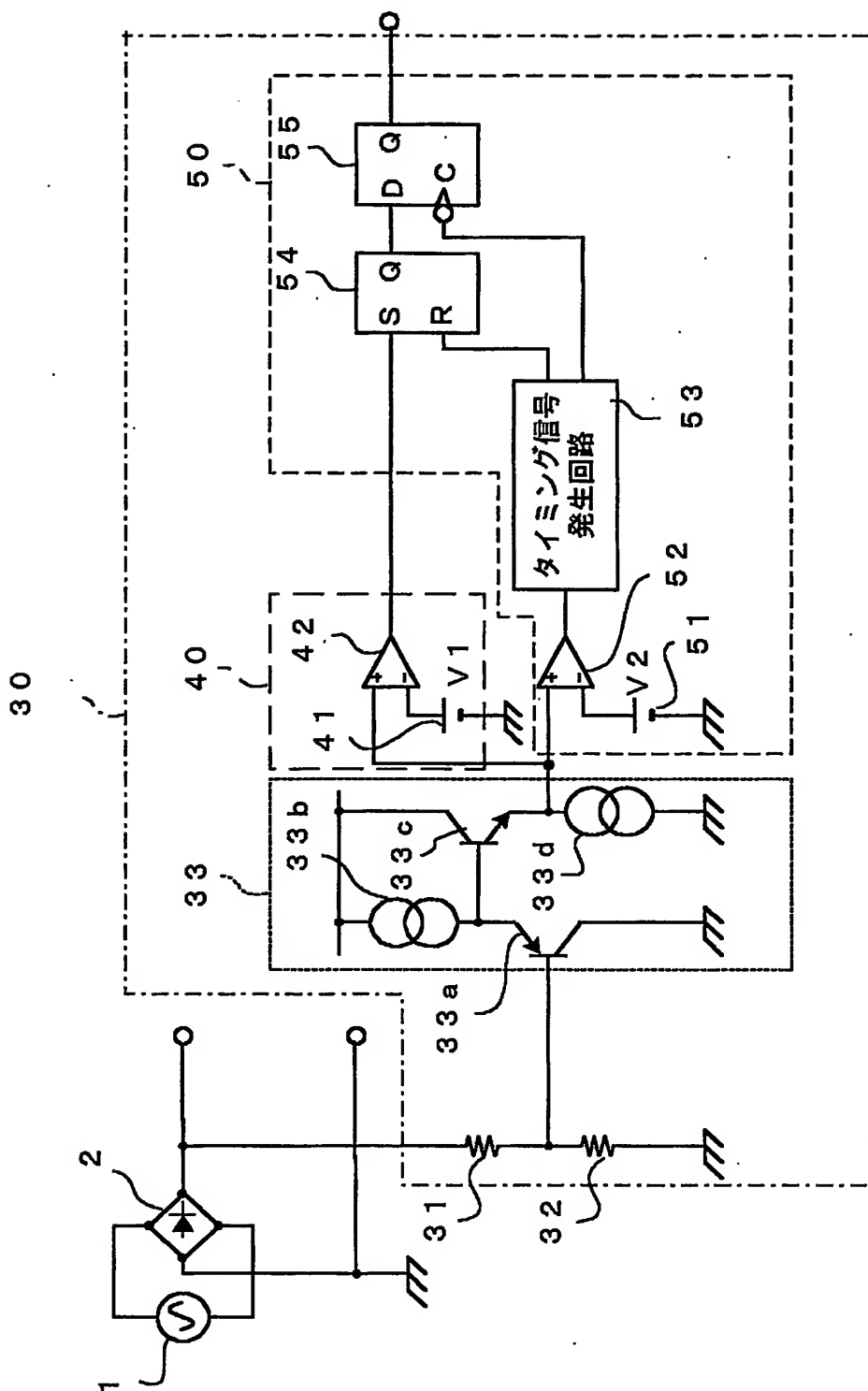
従来の交流電圧検出回路の回路図である。

【符号の説明】

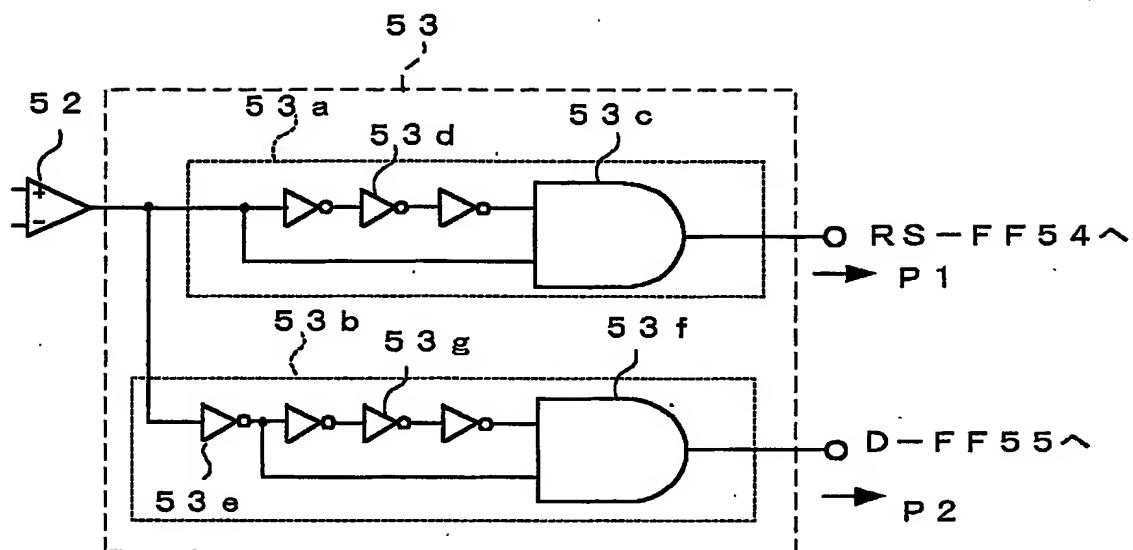
1	交流電源
2	全波整流回路
4 0, 7 0, 9 0	比較検出部
4 1, 7 1, 9 1	電源
4 2, 7 2	比較器
5 0, 8 0, 1 0 0	判別信号生成部
5 3, 8 3	タイミング信号発生回路
5 4, 8 4	R S - F F
5 5, 8 5	D - F F
8 6	OR回路

【書類名】 図面

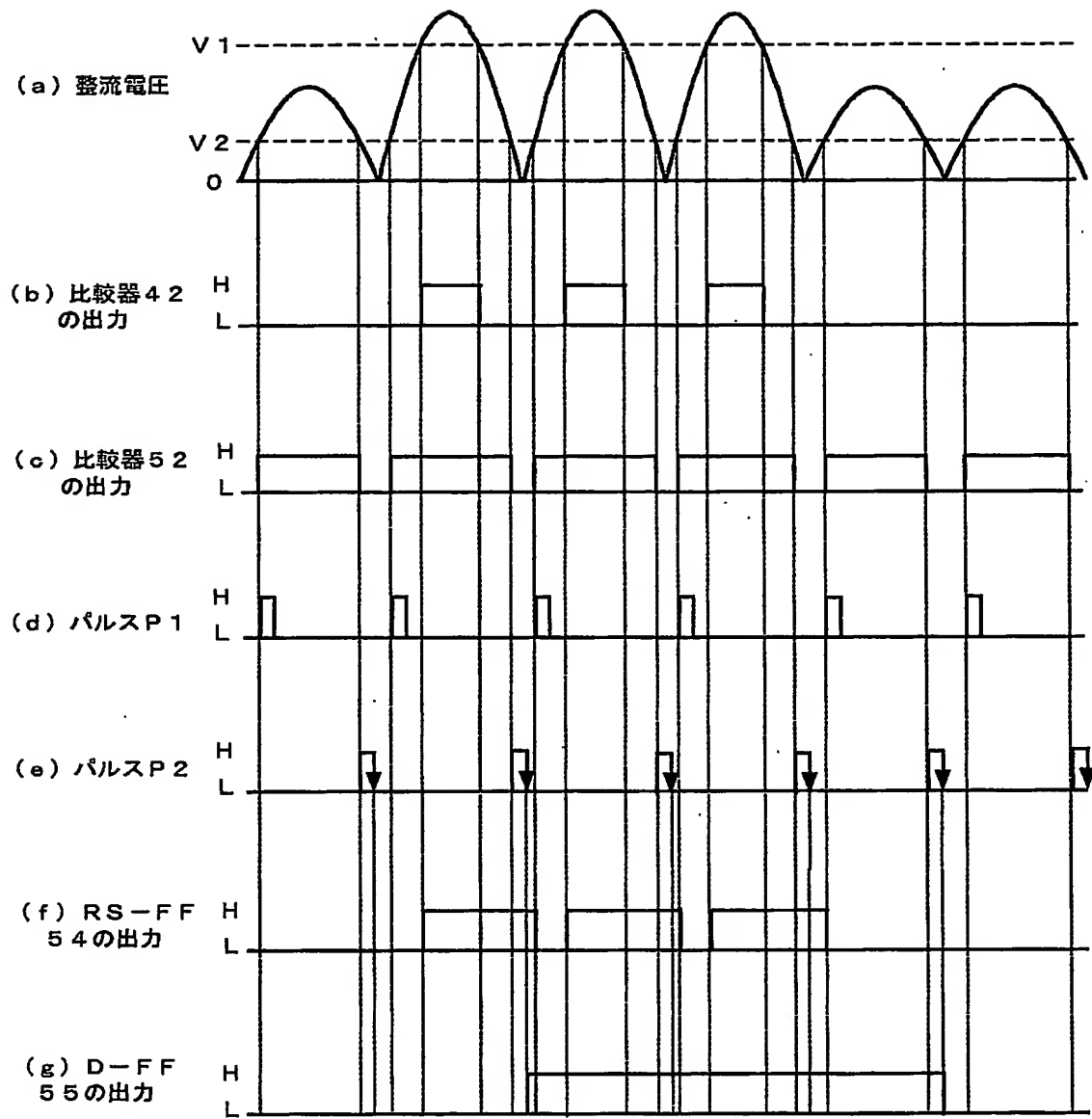
【図1】



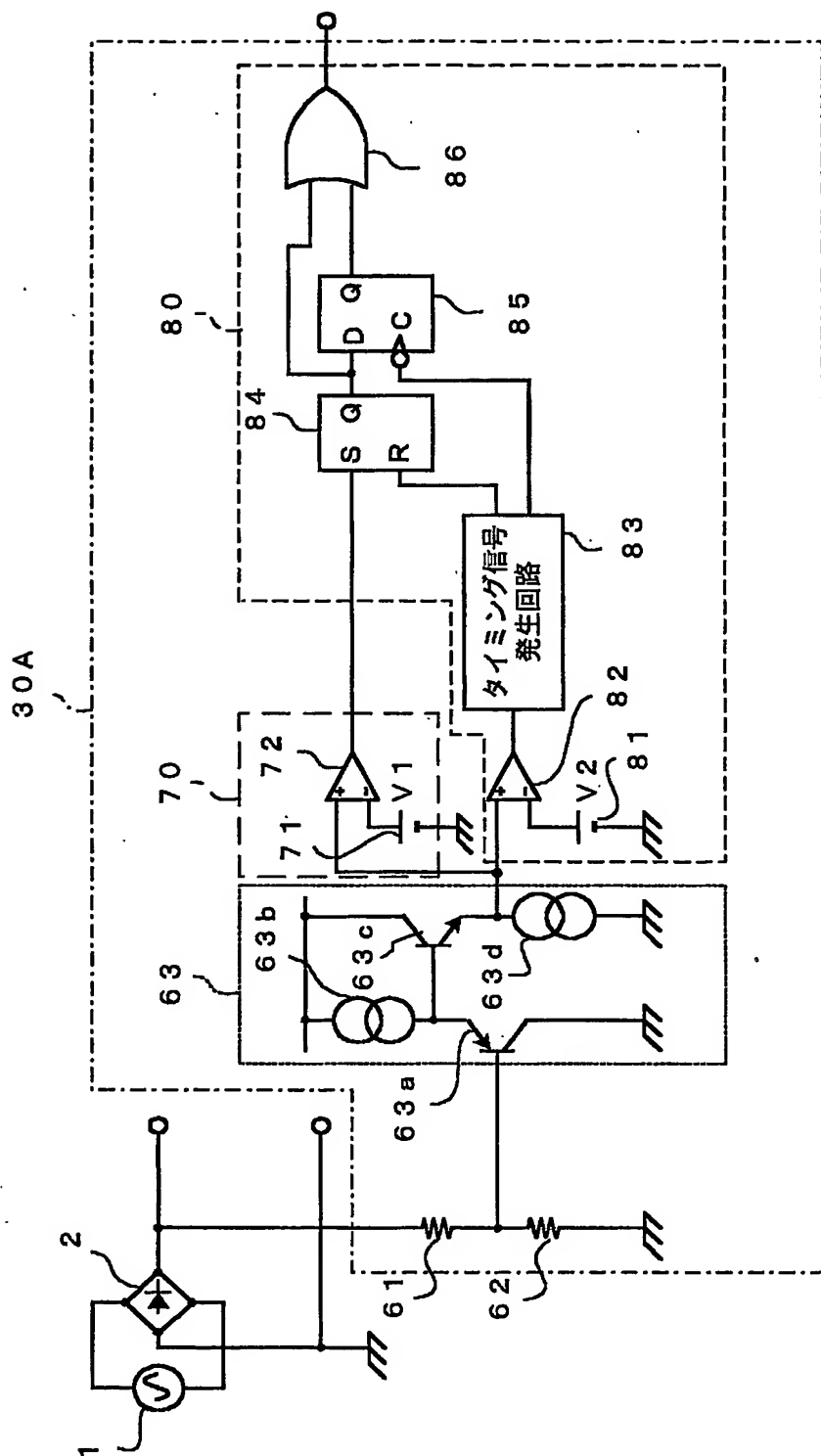
【図2】



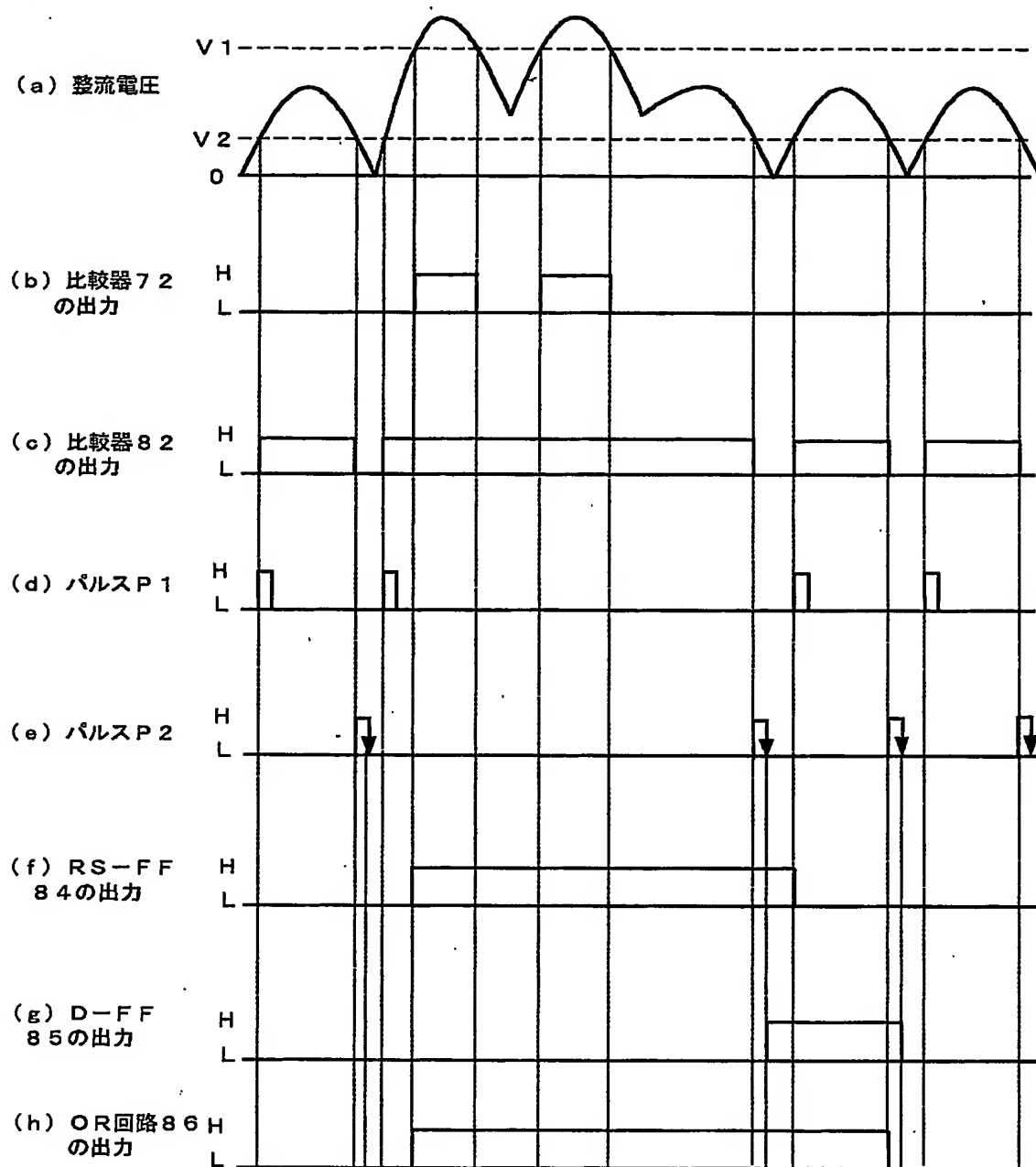
【図 3】



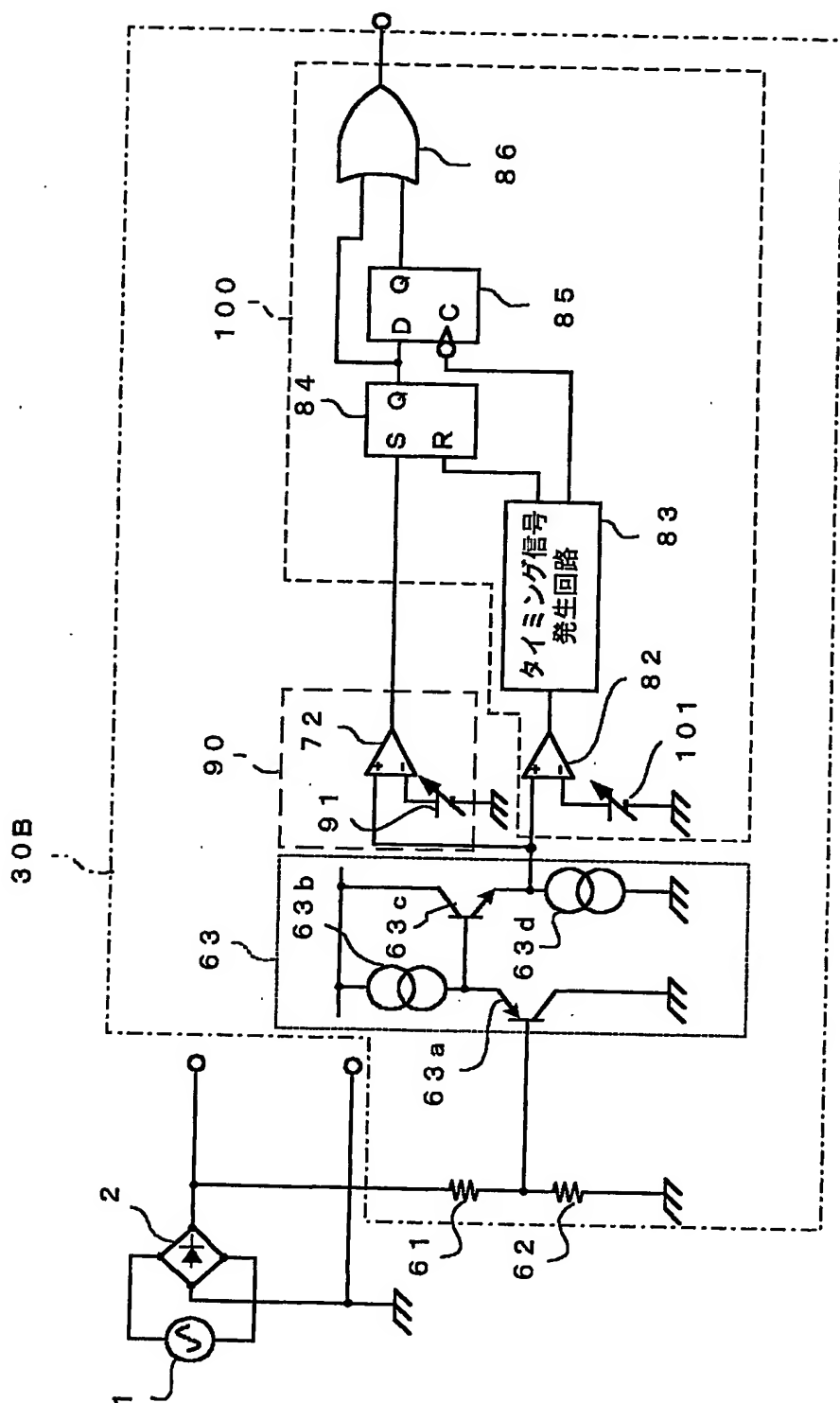
【図4】



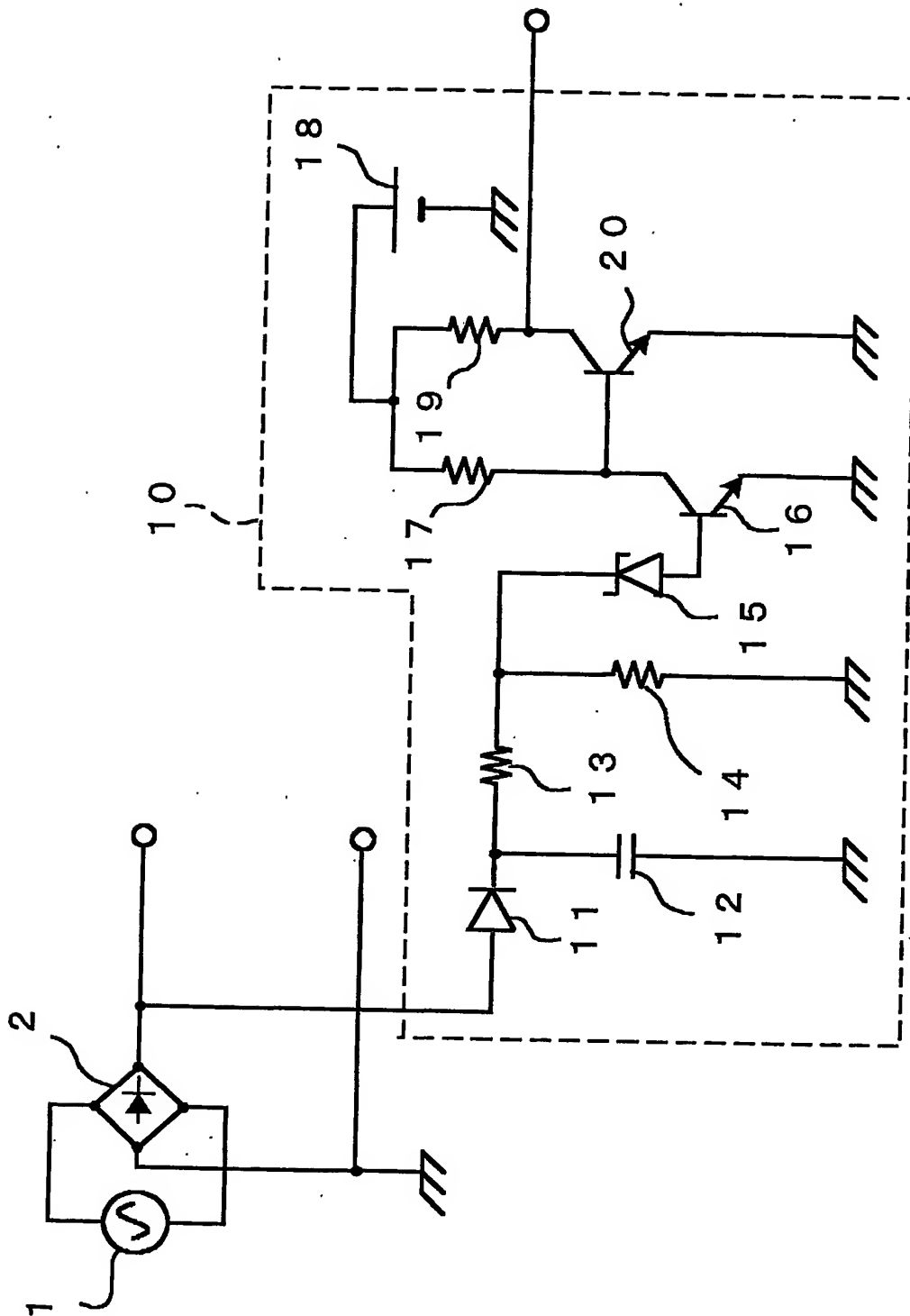
【図 5】



【図 6】



【図7】



【書類名】 要約書

【要約】

【課題】 交流電源が供給する電源電圧を検出する交流電圧検出回路の低コスト化と小型化を実現する。

【解決手段】

全波整流回路 2 が交流電源 1 で発生する交流電圧を整流した整流電圧を発生し、内部レギュレータ 33 が整流電圧の波形整形を行う。比較器 42 は、内部レギュレータ 33 が出力する整流電圧と基準電圧 V_1 との比較で、整流電圧が基準電圧 V_1 を越えた期間を検出する。判別信号生成回路 50 は、比較器 42 の出力信号に基づき、交流電源 1 が供給する電源電圧を判別して判別信号を生成する。従って、整流電圧のピーク値を検出するためのコンデンサ等が不要であり、交流電圧検出回路の小型化と低コスト化とが可能になる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000106276]

1. 変更年月日	1990年 8月31日
[変更理由]	新規登録
住 所	埼玉県新座市北野3丁目6番3号
氏 名	サンケン電気株式会社